
SERIE: ADDENDA DE INSTRUMENTACIÓN ELECTRÓNICA

SISTEMAS A.T.E.

1.- INTRODUCCIÓN

Es conocida la posibilidad de interconexión entre sí de instrumentos de medida electrónicos y controladores sobre un mismo bus (GPIB o VXI, y actualmente USB y TCP-IP), respetando unas normas físicas (eléctricas y mecánicas) de enlace y corriendo bajo un protocolo que deberán cumplir todos los elementos conectados en dicha red.

Es obvio que la finalidad de dicha interconexión no es otra que programar los instrumentos para la ejecución secuencial de tareas de test y medida que mediante técnicas manuales podrían ser lentas o tediosas.

Este conjunto de medidas secuenciales puede precisarse tanto en tareas de puesta a punto de sistemas en su fase de desarrollo, reparación de equipos ya fabricados, o lo que es más importante, aplicarse sobre la fabricación, comprobando de forma automática cada uno de los productos acabados de ensamblar por una industria a efectos de validar la calidad y requerimientos de cada uno de ellos para corregir cualquier tipo de incidencia antes de llegar al usuario final.

Aun cuando la importancia de los dos primeros casos es significativa, aun lo es más el último caso dado el volumen de equipos que precisarán de rutinas de medidas antes de salir de las cadenas de producción.

Aparece así el concepto de ATE o *Equipos Automáticos de test* (de *Automatical test equipment*) como un sistema constituido por un número variable de elementos generales de test y medida, o expresamente diseñados o adquiridos según el sector al que pertenece el producto, conectados por un bus (GP-IB, VXI, RS-232, propio, etc) a un sistema controlador (generalmente ordenador externo o integrado) y que operarán sobre un producto bajo test, bajo ensayo dentro de la línea productiva de la compañía. El controlador se encargará de soportar la secuencia de test previamente programada por personal cualificado y acorde a las necesidades de verificación y calidad impuestas al producto final.

La definición anterior de test automático se ha expresado intentando obtener la máxima generalidad posible. Al igual que en otras técnicas de la ingeniería, también en el test se ha contado con una fuerte expansión de métodos asistidos por electrónica y generalmente controlados por algún ordenador responsable de la ejecución de las distintas tareas necesarias para la captura de la información relevante del buen funcionamiento del sistema comprobado, procesado de la misma, reporte de anomalías e incluso diagnosis y asistencia en las tareas de reparación.

Aun cuando en un principio la comprobación electrónica de circuitos electrónicos se ha

caracterizado siempre por una facilidad intrínseca debido a la no existencia de interfaz entre ambos medios, es cierto que dicha barrera cada vez es mas abordable por la aparición de la nueva sensorística capaz de determinar por métodos "cuasi" puramente electrónicos variables propias de otros medios distintos como pueden ser la atmósfera, el agua, la mecánica, construcciones civiles, radiación electromagnética, y así un largo etcétera. Todo ello redundando en la simplificación de la captura de información por parte de un equipo de tratamiento de la información de todos esos parámetros indicativos del estado de un equipo o una planta bajo ensayo.

Insistiendo en el carácter globalizador del test hay que incidir en la postura de que cualquier proceso de media, de cualquier especialidad tecnológica o científica, puede estar perfectamente soportado por medios electrónicos siempre que recurramos a las técnicas apropiadas de captación de los parámetros interesantes de evaluación del sistema.

2.- PRINCIPIOS BÁSICOS DE MEDIDAS AUTOMÁTICAS

Para analizar de forma teórica las necesidades e implicaciones de una secuencia de test, vamos a considerar la comprobación de un equipo cualquiera como elemento básico de un sistema mas complejo. Ese equipo interactúa con el sistema intercambiando una información o unas acciones. Además, el sistema soporte puede también a su vez ser componente de un sistema de

mayor escala, tal como la propia naturaleza, y de esa forma, el equipo podría interactuar además con este último.

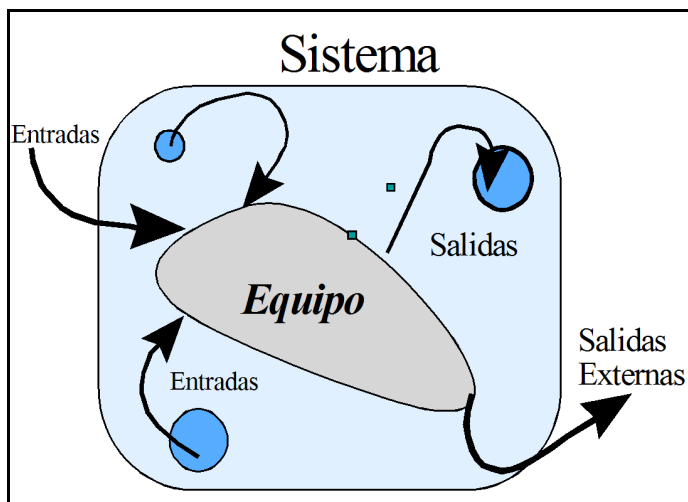


Figura 1 : Test de un equipo componente de un sistema mayor.

Se ha procurado representar gráficamente esta idea dibujando una serie de flechas que entran en el equipo bajo ensayo y que son acciones e información que lo excitan. Con flechas salientes se indican las respuestas por parte de este consecuencia de dichos estímulos (figura 1).

que pertenece-, consiste en la simulación de todas las posibles combinaciones de acciones que tanto el sistema como el exterior ejercen sobre el equipo, la aplicación de las mismas a sus entradas a modo de estímulo y la posterior comprobación de las respuestas formales esperadas para dicha excitación.

A partir del concepto anterior diremos que el test de un elemento dado, -apartado del sistema al

Caben aplicarse valoraciones distintas sobre la respuesta del dispositivo. Así, por un lado puede ser precisarse solamente la comprobación *funcional* de la respuesta, con el único interés de afirmar un buen funcionamiento del mismo. Por otro lado, el objeto del ensayo puede ser la

determinación de estimadores de la calidad, requiriéndose la comprobación numérica de que las

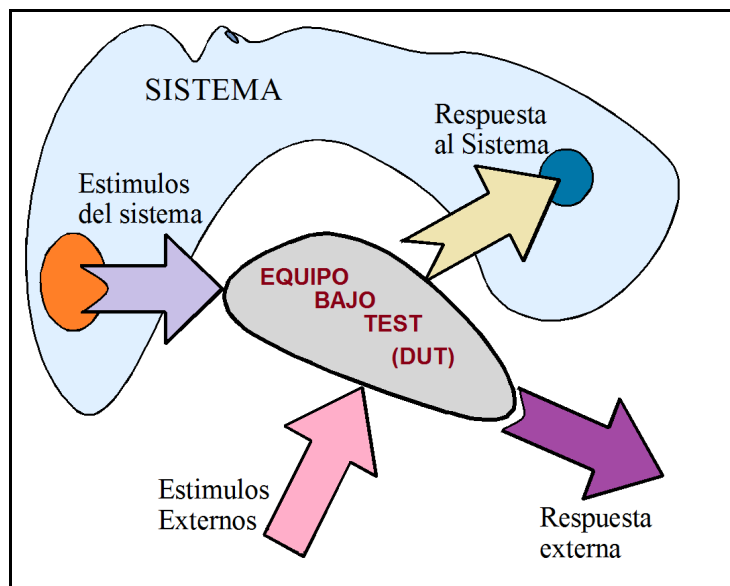


Figura 2: Estímulos sobre el equipo bajo test.

propiedades devueltas por el subsistema se mueven dentro de un intervalo de tolerancia para su aceptación. Se tratará entonces de una comprobación *paramétrica*.

De nuevo la figura 2 argumenta la necesidad de estimulación/respuesta en las secuencias típicas del proceso de test.

Evidentemente, frente a esta idea general caben muchas matizaciones y particularidades, pero es un esquema de aplicación global en el terreno tecnológico.

Como ejemplos de aplicación de los conceptos anteriores podemos citar casos como la comprobación de circuitos amplificadores electrónicos. La excitación del sistema por una señal senoidal a frecuencia concreta posibilita la determinación de la ganancia justo a esa frecuencia, y a partir de este dato numérico, la valoración del comportamiento del circuito. Sin dejar de lado este ejemplo, citaremos que la medida del nivel absoluto de ruido de fondo entregado por este mismo amplificador no requiere excitación alguna al ser una característica generada internamente en el propio equipo bajo ensayo. Esto constituye un planteamiento particular de la generalidad anteriormente explicada.

Ejemplos de medidas en las que la excitación no es necesaria pueden ser el simple chequeo a temperatura ambiente de las dimensiones (cotas) físicas de objetos mecanizados. Sin embargo, otra medida mas compleja que la anterior puede ser la misma comprobación pero donde el factor de excitación sean cambios de temperatura que afecten a la estructura del cuerpo por los coeficientes de dilatación.

La diversidad de disciplinas científicas conlleva la pluralidad de métodos y facetas de comprobación automática. Campos como la geología y la meteorología hacen uso extenso de técnicas de captación y valoración de variables físicas. Añádanse especialidades como la biología y la medicina y su relación con la analítica química. Sin embargo nos referiremos en adelante al terreno industrial. En este sentido cabe hablar de las necesidades de test automático en la fase de fabricación de productos en serie, aplicación que quizás justifique más la inversión de capital en la consecución de estrategias de test que los casos de construcción de bajas series o prototipos.

Aun cuando la ingeniería química puede perfectamente aplicar las técnicas descritas a continuación, nos centraremos mas de cerca en los aspectos de la fabricación de elementos electrónicos con referencias a los casos de productos mecánicos o combinación de ambos.

Debe quedar claro la necesidad de generar estímulos apropiados para obtener del equipo las respuestas adecuadas para su valoración. Cuando nos refiramos al sector electrónico, la ventaja añadida es que los mismos instrumentos de test electrónicos, tanto de excitación como de lectura, casan perfectamente con las variables del propio sistema bajo test. De esa forma pueden evitarse complicaciones añadidas de resolución de interface como ocurre en los casos de mecánica o en otras especialidades.

Un circuito electrónico solo puede interactuar con el entorno haciendo uso de un flujo de electrones o una radiación electromagnética (E.M), que originarán la variación de corrientes o tensiones en puntos específicos del sistema bajo ensayo, -o por contra-, solo será capaz de detectar ese mismo tipo de variaciones cuando es el instrumento el que intenta tomar una lectura desde el producto en test. Cualquier otro tipo de interacción es por el uso de elementos dedicados como son los transductores y sensores. Ellos permiten la conversión de parámetros de tipo eléctrico en físicos (en sentido general, pues los propios parámetros eléctricos a su vez son también físicos) y viceversa.

Sin embargo, la utilización de técnicas electrónicas en la determinación de parámetros distintos a los comentados exige, - en primer lugar-, el estudio del sistema medido para concretar las necesidades de test, y después, la valoración de las características distintivas de las variables determinantes del estado del equipo que las hagan más fácilmente convertibles al terreno eléctrico para su sensado y posterior tratamiento. Muchas magnitudes físicas serán directamente convertibles en parámetro de tipo eléctrico (como temperatura en resistencia eléctrica de un conductor). Otras, por contra, van a exigir técnicas de conversión y tratamiento adecuadas que desembocarán en sensores comerciales o en ingenios particulares para esa aplicación.

Ejemplos referidos al ramo del automóvil pueden aclarar esta afirmación. Generalmente la base de funcionamiento de ese tipo de producto es puramente mecánica. Un motor de explosión genera el par necesario para arrastrar el vehículo. Hasta fechas relativamente recientes el aparataje ajeno incluido en esas máquinas era exclusivamente eléctrico, en lo referente al encendido con ayuda de bobina y platinos. Sin embargo, actualmente la tecnología provee motores mucho mas rentables en el sentido que optimizan los instantes de encendido mediante electrónica adicional que determina esos tiempos en función de otros parámetros externos al motor como nivel de oxígeno en los gases quemados, carga del vehículo, velocidad instantánea, ángulo de giro del pedal de aceleración, etc. Es lógico pensar que la comprobación de un bloque motriz de forma independiente sobre un banco de ensayos va a requerir la simulación de esos parámetros adicionales de carga y velocidad, así como posiblemente otros menos importantes como temperatura ambiente, cambios de humedad. Además la lectura del par motor exigirá la colocación de sensores y cargas ficticias en el eje de salida. También mencionamos la actuación sobre el producto bajo test por parte del sistema de control de medida automática imitando las acciones que sufrirá por el sistema real. Para el caso que nos ocupa parece obvio pensar en la necesidad de mover elementos mecánicos como el acelerador o el embrague mediante conversión de energía eléctrica en mecánica por las técnicas adecuadas de forma que sea el sistema de test el que en momentos determinantes del proceso activen o desactiven los futuros mecanismos que después serán accionados por el usuario final del vehículo.

El mismo razonamiento se aplicará a la prueba de "air-bags", con simulación del parámetro "g" (fuerza de la gravedad) de choque, o bien síntesis del ángulo de cabeceo debido a

golpe de viento para el caso del test de un "piloto automático" de un avión, blancos "virtuales" en el ensayo de dispositivos de "dirección de tiro" con fines bélicos, sobrecarga en el sistema de control de una central eléctrica, carga de ropa en máquinas de lavado automático, etc. etc.

3.- TEST AUTOMÁTICO EN LA INDUSTRIA ELECTRÓNICA

Dada la especialidad de nuestra asignatura, vamos a centrar el tema en los casos típicos de comprobación automática de productos salidos de la industria de fabricación de equipos y componentes electrónicos.

Podemos resumir la fabricación de dispositivos electrónicos en cuatro categorías fundamentales como se resume en la figura 3.

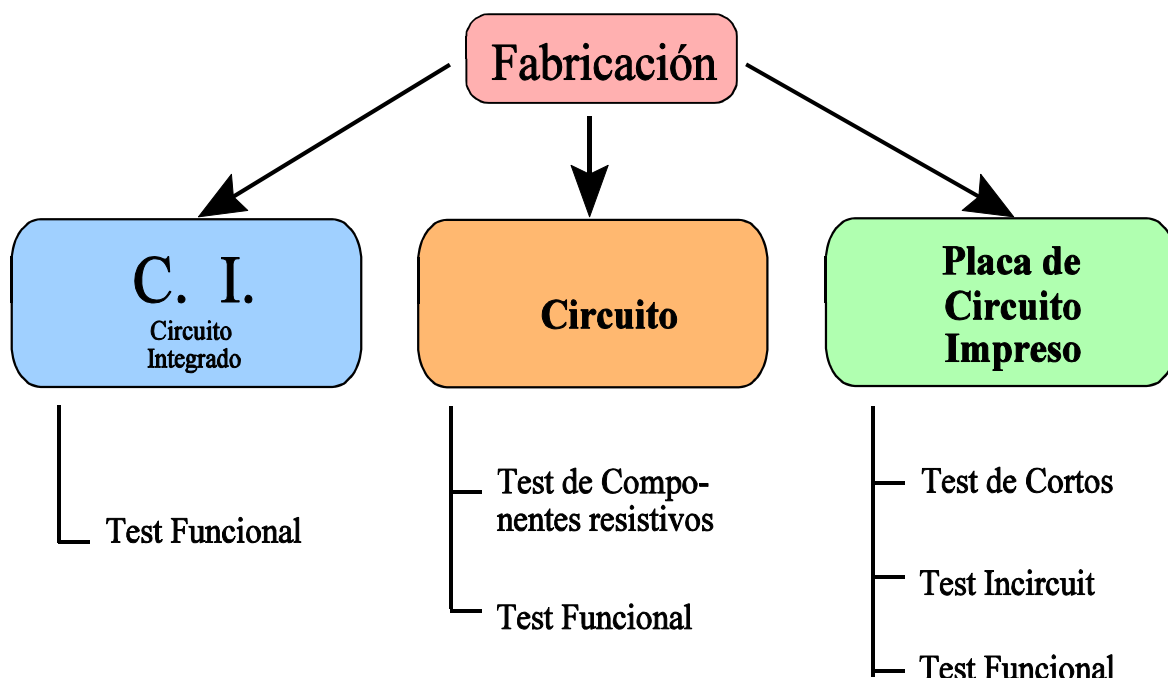


Figura 3: Tres vertientes distintas de la fabricación de dispositivos electrónicos.

3.1.- Test de Circuitos Integrados

La primera de ellas contempla el nivel de fabricación de circuitos integrados. Estos, como ya sabemos, resultan de la aplicación de técnicas combinadas y sucesivas de difusión de impurezas y de tratamientos litográficos sobre una superficie de silicio dopado de impureza P o N, según convenga en cada caso. En primer lugar hay que decir que los fabricantes de C.I. parten hoy de obleas tratadas por empresas especializadas en la obtención de las mismas en tamaños estándares de tipo P o N. El primer test que reciben es de tipo resistivo para comprobar si poseen un dopado adecuado antes de ser utilizadas como materia prima para la fabricación de circuitos.

A partir de aquí, se divide la oblea en regiones rectangulares sobre las que se creará una

estructura que finalmente se corresponderá con un circuito que individualmente se encapsulará proporcionando así un método seguro de manipulación y conexión al resto de los componentes.

El proceso de construcción de un chip, -aunque automático-, puede llegar a ser lo bastante complejo como para precisar un test de todos o de un cierto número de muestras representativo del conjunto de circuitos construidos sobre la oblea con el fin de evitar el gasto y tiempo del proceso de encapsulado de dispositivos que más tarde presentarán anomalías de funcionamiento.

En el caso de que el test sea rentable se aplicarán una micropuntas sobre los terminales metalizados de la estructura silícea del CI previstas para su futura interconexión al patillaje de salida de la cápsula. Las pinzas deberán situarse en los puntos correctos con la precisión adecuada para realizar la excitación de los puntos correspondientes a las entradas a la vez que verifica el nivel de las salidas, todo ello con el circuito bajo alimentación.

Dicho test solo tiene sentido desde el punto de vista *funcional*, pues será bastante difícil la reparación de un circuito ya crecido sobre la oblea una vez se ha comprobado una actuación incorrecta respecto al plan previsto de funcionamiento.

La idea de la conexión individual de un circuito de la oblea al equipo de test ha sido dibujada en la figura N.5. En esa ilustración se ha indicado la existencia de tres micropuntas que toman contacto sobre tres metalizaciones de uno de los chips del total del sustrato. Dichas puntas son de oro para minimizar la resistencia de contacto y la oxidación de las puntas y están fuertemente sujetas a un bastidor aislante que evita el cortocircuito entre ellas. La parte final de cada punta se conecta mediante un cableado eléctrico a los distintos instrumentos participantes del proceso de test.

La comprobación de otros circuitos distintos exigirá nuevas puntas de prueba montadas sobre el mismo bastidor, pero calculadas tal que la punta incida en los puntos físicos del circuito previstos para test. A partir de ahora se abren dos posibilidades. Por una parte se puede hacer un test paralelo de forma que ambos circuitos se conectarán a instrumentos distintos pero análogos que consigan la prueba simultanea de varios integrados a la vez. La otra posibilidad es la idea de multiplexado de los equipos de prueba hacia varios dispositivos para realizar la prueba secuencial de los mismos. Las ventajas de la primera forma es evidente: el ahorro de tiempo frente al

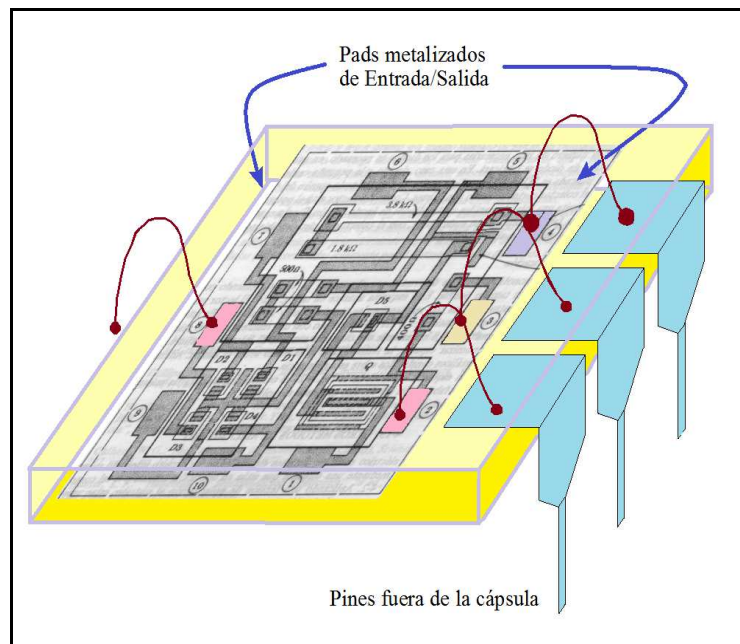


Figura 4: Un ejemplo de CI analógico sencillo que integra dos transistores, diodos y varios resistores.

sacrificio en costes de equipo de test. La segunda opción precisamente se comporta de manera contraria, ejecutando una verificación mas lenta de la oblea con la ventaja de un solo equipo de test.

Esta opción del multiplexado además puede incluir la robotización de las puntas de prueba tal que un sistema mecánico programable pueda colocar secuencialmente las punta sobre los puntos de prueba del circuito que en ese momento se va a chequear. Esta característica se aplicará en los casos donde la densidad de puntas de prueba es tan alta que sea prácticamente imposible disponer de un bastidor que albergue puntas para cada uno de los "pads" de prueba de todos los circuitos de la oblea a la vez.

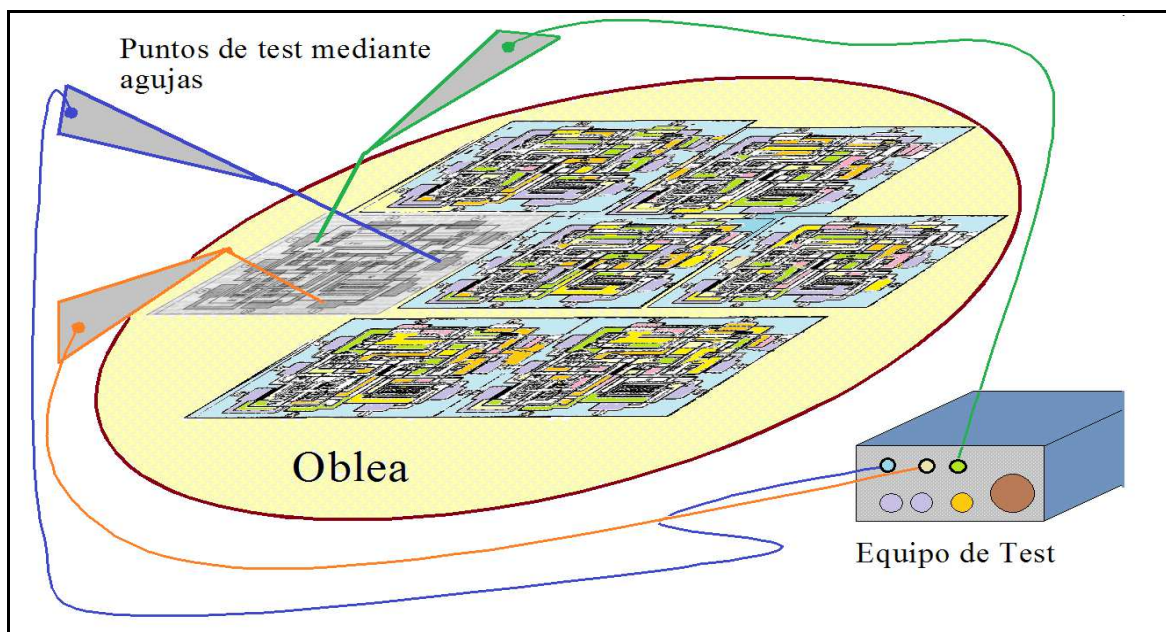


Figura 5: Comprobación de uno de los chips de la oblea mediante técnicas de agujas sobre los pads metalizados del circuito.

El test funcional debería incluir no solo la comprobación de que la ejecución de las salidas es la correcta para los estímulos aplicados (*test funcional estático*), sino también si lo hace en los tiempos previstos en las especificaciones del circuito (*test funcional dinámico*).

Este último de test tiene sobre todo amplias consecuencias en el caso de circuitos de corte digital, donde no solo es importante el nivel lógico de salida para una excitación dada, sino el tiempo de respuesta preciso para conseguir tal nivel. Además, la situación se complica si añadimos los problemas de conmutaciones múltiples debido al desfase entre los distintos circuitos de salida del chip, y que darán lugar a respuestas digitales transitorias antes de que se asiente el verdadero valor de salida sobre los pines del integrado.

Por otra parte el test funcional dinámico puede valer en circuitería analógica para la comprobación de los tiempos de subida (slew-rate) que al fin y al cabo son los que limitan el ancho de banda de trabajo del circuito bajo test.

Los test comentados anteriormente también pueden realizarse una vez que el chip ha sido encapsulado. Recordemos que una de las fases de fabricación del integrado es su protección dentro de un molde de plástico o cerámica que a la vez hace de soporte de la tira de patillas que interconectarán el circuito de silicio con el exterior. Dichas patillas metálicas pueden soldarse por las técnicas habituales de soldadura blanda por estaño a otros circuitos o componentes.

Por lo general, un fabricante puede optar por diversas configuraciones estándar de encapsulados para un mismo circuito. El test externo del mismo precisará de un zócalo adecuado que lo albergue y permita la interconexión de cada uno de los terminales necesarios para el test con los instrumentos de excitación y lectura indicados en cada prueba para el test del mismo. Es interesante hacer notar la necesidad de automatización de este proceso.

Un fabricante de circuitos integrados conseguirá precios competitivos siempre que su proceso productivo sea el óptimo, y ello incluye el tiempo y los recursos destinados al test. Es evidente que la reducción de tiempo de test contribuirá a una mejora de la fabricación sin disminuir la calidad final del producto. Es obvio pensar que la automatización del test, -en lo referente a la interconexión rápida del DUT ("device under test", o dispositivo bajo test) sobre el propio equipo de prueba por métodos mecánicos-, influirá en esa reducción del tiempo de test. Por otra parte el test paralelo de diversas funciones del mismo circuito bajo ensayo acelerará el paso de los circuitos por los puestos de prueba.

A veces es interesante estudiar las estrategias de test que conduzcan con el mínimo número de vectores de test llegar a la determinación más completa del funcionamiento del dispositivo. Se tratará de llegar a soluciones óptimas por análisis del problema o bien, a determinaciones prácticas interesantes de la relación calidad del test / tiempo de ejecución.

3.2.- Test de Circuitos Híbridos

Un circuito híbrido o de película gruesa consiste en un dispositivo compuesto a bajo nivel de integración de elementos resistivos, capacitivos e inductivos, componentes semiconductores encapsulados en formato SMD (surface mount devices) y circuitos integrados bien depositados y cableados sobre el propio híbrido o bien ya encapsulados tipo SMD y soldados en la posición que les corresponda .

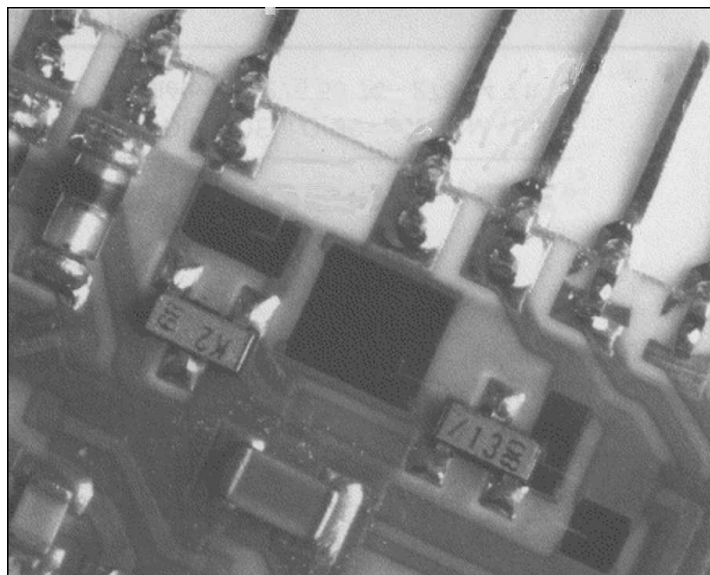


Figura 6: Vista de un híbrido. Puede apreciarse resistores de película gruesa y componentes SMD.

En la figura 6 se puede apreciar un detalle general de este tipo de circuitos. Se componen de un sustrato cerámico, generalmente de alumina (Al_2O_3), que al ser aislante y

resistente a las altas temperaturas sirve de soporte para la deposición sucesiva de los distintos elementos que compondrán el circuito. Dichos elementos pueden ser variados. Por una parte tenemos la deposición metálica sobre el sustrato que hará las veces de sistema de interconexión eléctrica entre componentes tal y como lo es el cobre en las placas de circuito impreso. La diferencia en este caso estriba en que los componentes van depositados o soldados superficialmente: no existe horadado como ocurre en los componentes del tipo inserción (through-hole).

Los componentes inductivos, siempre que sean de pequeña inductancia, pueden imprimirse directamente sobre el sustrato realizando una metalización en espiral con el número de vueltas y dimensiones adecuadas. Igual ocurre con los capacitores. Bastará aprovechar una superficie metalizada lo suficientemente grande como para depositar una capa de sustancia aislante (dieléctrico) y sobre esta última una nueva capa de metalización. De nuevo, debido a las dimensiones del circuito, este método solo es apto para la generación de capacidades relativamente pequeñas.

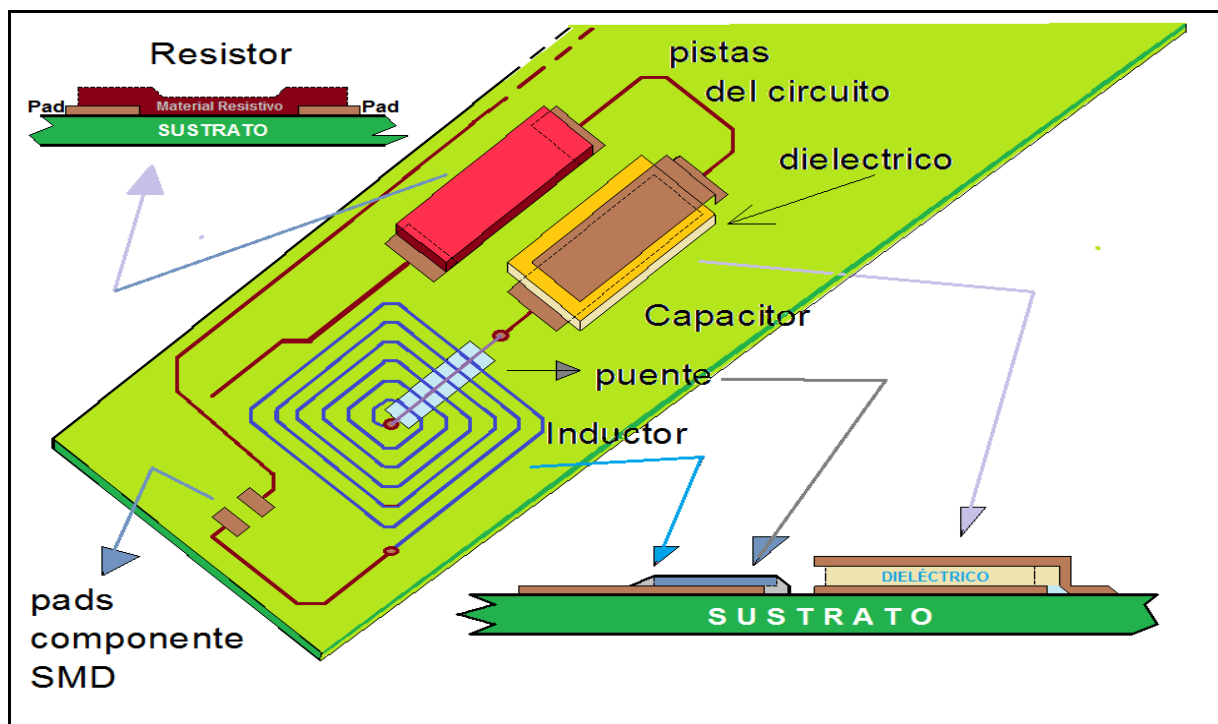


Figura 7: Ejemplo de componentes pasivos sobre un circuito híbrido.

En ambos casos, este tipo de componentes suele ser encapsulado previamente en formato SMD y soldado en las propias metalizaciones previstas para ello. Un tema distinto es la creación de resistencias sobre el propio sustrato.

En la figura adjunta pueden verse los componentes típicos pasivos que monta un circuito de película gruesa. La resistencia se consigue depositando una película de material resistivo sobre dos "pads" preparados y como ilustra la figura 7. La resistencia del dispositivo dependerá de las dimensiones geométricas de la deposición de material así como del coeficiente de resistividad del mismo.

Dado que el proceso de fabricación de los resistores sobre el sustrato consiste en la deposición del material apropiado mediante técnicas de serigrafía, no exentas de tolerancias relativamente grandes, y después un horneado de la pieza para el fraguado de la película resistiva, es de suponer que el valor resistivo final conseguido variará bastante del supuesto teóricamente en la fase de diseño del híbrido.

Es por ello por lo que los fabricantes optan por el ajuste una vez cocido en el horno de todos los valores resistivos que monta el circuito. Análogo será el caso del reajuste de la capacidad, aunque volvemos a insistir que esta última suele montarse soldada en componente SMD en vez de crecimiento por deposición de dieléctrico.

Para el resistor dibujado en la figura 8 el diseñador supuso a partir del cálculo de resistividad:

$$R = \rho \cdot \frac{L}{a \cdot h}$$

unas determinadas dimensiones de la deposición. Para corregir las posibles desviaciones que introducen las tolerancias del proceso de fabricación lo mejor será diseñar un resistor de valor óhmico por debajo del necesario de forma que al cortar mediante un diamante o un láser una pequeña porción de la deposición la sección disminuirá y con ello la resistencia aumenta. Un detalle de este corte puede verse en la propia figura 8.

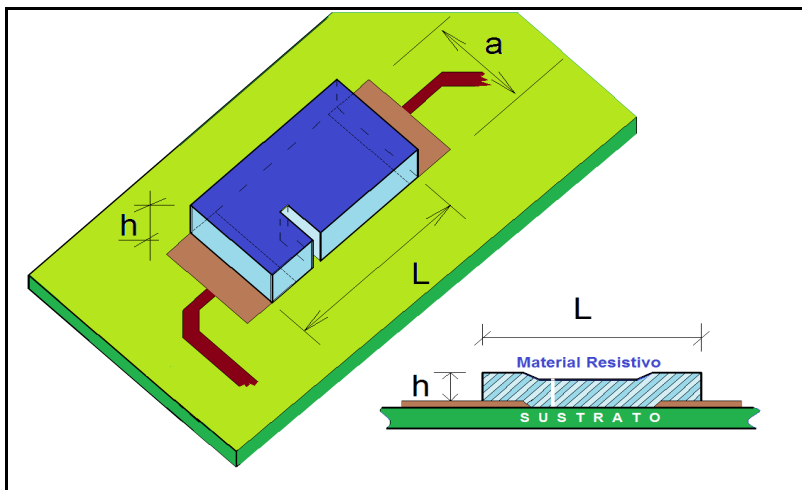


Figura 8: Resistor impreso por tecnología de película gruesa (se aprecia el corte láser de ajuste del resistor).

Precisamente es este ajuste resistivo el que puede complicar el test de los circuitos híbridos. Aunque cuando la técnica es bastante fácil, -pues bastará medir la resistencia del elemento mediante un óhmetro de cierta precisión-, la dificultad del mismo resulta del posicionamiento perfecto del sistema de corte, -sea este un diamante o sea un rayo láser-, que corten a la profundidad adecuada como para ajustar el valor resistivo a su valor perfecto.

El ajuste resistivo suele hacerse antes que la soldadura de otros componentes sobre el sustrato para tener así los componentes resistivos aislado y con la menor interferencia óhmica de unos con otros al intercalar otros componentes en el circuito.

Una vez completado el proceso de fabricación, tanto de componentes impresos como soldados, se suele bañar todo el conjunto en alguna pasta aislante que protegerá el circuito de las

influencias externas y evitará el espionaje industrial del mismo. Al igual que los circuitos integrados, la reparación una vez detectada la anomalía suele ser compleja, por lo que en principio se plantea más la necesidad de un test funcional que "incircuit". Es por ello que una vez finalizado el proceso se coloque el híbrido sobre un zócalo adecuado para proceder a su test. El diseño de la secuencia y la estrategia de ese test dependerá de todos los determinantes ya comentados para el caso de los circuitos integrados, esto es, de la tecnología analógica o digital, tipo de parámetros importantes para la selección de la calidad, tiempo de test, coste del propio dispositivo bajo ensayo, etc.

3.3.- Test de circuitos Impresos.

La tecnología electrónica actual hace uso de elementos variados para la conformación final de circuitos prácticos. Por lo mismo, la técnica habitual de interconexión de todo ese conjunto de componentes va a ser una superficie que los alberga y a la vez los interconecta mediante un sistema de cableado obtenido por una técnica litográfica. Es debido a ello por lo que a dicho soporte se le llama "*placa de circuito impreso*" (PCI, o también PCB de *Printed Circuit Board*). Los componentes van soldados por soldadura blanda de estaño sobre la distribución de interconexiones de cobre. Esto les permite una buena conexión al resto del circuito y una adhesión mecánica a la tarjeta.

En general la PCI suele ser una superficie rígida de algún material aislante y con las propiedades mecánicas adecuadas (es típico el uso de bakelita, fibra de vidrio o nuevos plásticos industriales) que en su fase inicial presenta adherida a cada una de sus caras una lámina de 35 Fm o 70 Fm. Una vez diseñado el circuito que se soportará en esa placa se debe plantear la distribución física de los distintos componentes del diseño y a partir de ahí, trazar un plan de interconexión a través de líneas que verifiquen una serie de normas de calidad, como son respetar las secciones de las mismas dependiendo de la corriente que soportan, longitudes máximas de cada conexión, espaciado entre pistas, espaciado entre pistas y componentes y un largo etc. que dependerá de la integración exigida, tecnología de la maquinaria de fabricación o especificaciones del proyecto.

Podemos hablar de dos tipos de PCB en cuanto a su propia tecnología: placa de circuito impreso dura y PCI flexible. Esta última está crecida sobre plásticos flexibles con capacidad para aguantar las típicas temperaturas de soldaduras necesarias. Su utilización está indicada en equipos donde la electrónica debe ocupar posiciones complejas para reducir espacio. Como ejemplo, las cámaras fotográficas electrónicas suelen hacer uso de este método para adaptar el circuito a las superficies libres que rodean la óptica, y con ello no aumentar exageradamente el tamaño final del equipo.

La otra clasificación es respecto al tipo de componentes que monta. Aquí hay varias clasificaciones pero ninguna es excluyente con las otras. Podemos presentar esas clasificaciones según la evolución histórica de la tecnología.

En principio, una PCB puede montar componentes de inserción (through-hole) compuestos de una serie de terminales dispuestos a 90° respecto del eje del dispositivo y que precisan de un orificio para que atraviesen la placa y se suelden en la parte inferior. Ha sido la tecnología más

frecuente hasta los años 80 y caracterizaron la nomenclatura de "*cara de componentes*" para referirse el lado de la PCI donde se puede detectar la presencia de los mismos, y "*Cara de soldadura*" al reverso, donde llegan las patillas del componente y se sueldan a la red de interconexiones impresas de cobre. Los pasos necesarios para la fabricación de este tipo de montura es la corrosión de la malla de cobre según el trazado de las pistas del circuito en cuestión, taladrado de los puntos que alberguen componentes, inserción automática de componentes y soldadura automática por ola de todo el conjunto.

La tecnología exige una mayor capacidad de integración para una misma superficie de PCB y se utiliza también la "cara de componentes" para la distribución de pistas de cobre de interconexión. Es lo que se denomina "*Doble Cara*" frente a las de *simple cara* anteriores que necesitan distinguirse con este nombre por la aparición de las dobles. La tecnología de diseño y fabricación exige ahora la existencia de "*Pasos de Cara*", es decir, elementos metalizados parecidos a pequeños remaches que permiten la interconexión eléctricas de las pistas de la cara superior que por motivos del trazado necesitan continuar su trayectoria por la cara inferior. El proceso de fabricación se complica ahora por la necesidad de impresión de pistas en ambas caras y la adición de los pasos de cara, pero los procesos de taladrado, atacado del cobre, inserción de componentes y soldadura automática son análogos a los anteriores.

La carrera tecnológica de nuevo aprieta en la necesidad de reducción del tamaño de las PCB en proporción a los componentes que monta. Aparecen soluciones por dos caminos. Por un lado la fabricación de "*placas de circuito impreso Multicapas*" compuestas de varias capas prensadas de material aislante cada una de los cuales soporta un trazado de cobre de interconexión que alivia la distribución de las caras superiores e inferiores. La conexión eléctrica entre las pistas de los distintos niveles se realiza por los pasos de cara antes comentados.

Por otro lado, otra solución es la reducción de tamaño del encapsulado de los componentes. Las nuevas máquinas de fabricación automática permiten colocar los dispositivos sin necesidad de horadar la PCB, y nace así la tecnología SMT (tecnología de montaje superficial). La ventaja es clara: se evita el proceso de taladrado que consumía un porcentaje alto del tiempo total de fabricación de un circuito impreso.

Una vez que aparecen en masa los componentes SMD (dispositivos de montaje superficial) en el mercado y se inicia su abaratamiento los fabricantes optan por soluciones en principio *Mixtas*. Se aprovechan las ventajas de los nuevos componentes emergentes en el mercado mientras se cambian las tecnologías de fabricación y se adquiere la experiencia adecuada en el proceso. Es por esto que pueden verse circuitos que soportan a la vez componentes de inserción y SMD. Además, se da la circunstancia de que es posible montar los componentes SMD tanto en la "*cara de componentes*", -cohabitando en la superficie con sus homólogos de inserción-, como en la propia "*cara de soldadura*" aumentando así la integración de componentes sobre la PCI. Esta técnica exige un control del proceso tal que la soldadura de una de las caras no desuelde los componentes de la cara inversa.

A esta problemática en la fabricación se añade el que los circuitos integrados de hoy soportan cada vez mayor número de funciones integradas, lo que supone un incremento considerable del número de patas que se precisan para el funcionamiento del mismo. Tanto es así que cada vez aparecen encapsulados nuevos que permiten una alta densidad de pines respecto a

las propias dimensiones del CI. Ello ha llevado a la necesidad de reducir las distancias dispuestas entre una patilla y su adyacente, aumentando por contra la complejidad de los procedimientos de montaje y soldadura de los componentes sobre la tarjeta.

Todo lo dicho acerca de los circuitos impresos actuales es con el único motivo de situar la problemática del test. Por una parte se precisa determinar muy bien que tipo de test requiere una tarjeta dada en función del coste de la misma y el coste y posibilidades de reparación. Con posibilidades de reparación nos referimos a si es posible tecnológicamente retirar componentes de la tarjeta sin deteriorar el resto de los componentes y si los criterios de calidad exigidos para ese producto permiten la sustitución de componentes debido a los daños ocasionados sobre componentes adyacentes y envejecimiento de la tarjeta por someterla a mayor número de ciclos térmicos de soldadura, desoldadura y enfriamiento.

El coste de la reparación es importante. No solo se ha de contemplar en sí el coste propio del tiempo de reparación y de los componentes participantes, sino también las estaciones necesarias para la sustitución de los elementos y experiencia de los operarios.

En cualquier caso, será el fabricante el que decida a través de expertos las necesidades de test requeridas para cada producto. Sin embargo hablaremos a continuación de las técnicas generales habituales aplicables en cualquier caso al problema del test.

En primer lugar se debe contemplar tres tipos básicos de comprobaciones que aseguren la funcionalidad de una tarjeta ya montada de circuito impreso.

1.- Durante la fase de soldadura automática por ola pueden aparecer puentes de estaño entre patas de componentes adyacentes en la "cara de soldadura". Igualmente un exceso de estaño o falta de flux en alguna zona de componentes de SMD puede originar también puentes entre pines cercanos en circuitos con alta densidad de patillaje, como son los del tipo "*Fine Pitch*", con distancias de 0.01 mm entre patas. Es por ello que sería interesante detectar este tipo de anomalías en un "*Test de Cortocircuitos*".

2.- Un control de recepción de componentes a la fábrica incide sobre una mejor calidad final del producto, pero no evita el deterioro de los componentes por la manipulación en el propio proceso automático de fabricación, así como de las variaciones de sus características por los cambios de temperatura que les impone el sistema de soldadura. Además de lo anterior, están los problemas relacionados por la mala colocación de los componentes por las máquinas automáticas de inserción o las de colocación para SMT ("pick & place"). Todos estos inconvenientes justificarán las veces que económicamente sea rentable la generación de un test de los propios componentes ya soldados sobre la PCI. Este test se denomina "*test incircuit*" y tratará de verificar cada componente individualmente dentro de la tarjeta, generalmente más dedicado a los componentes pasivos tipo resistores, inductores, condensadores y semiconductores simples como diodos en general y transistores.

3.- El test incircuit anterior se realiza con técnicas comunes previstas para componentes pasivos generales. Los circuitos integrados poseen muchas funciones y además existen gran variedad en el mercado. Eso es lo que impulsa la necesidad de generar un "*test funcional*" que sometiendo

la tarjeta a las alimentaciones propias con las que trabajará en el futuro realizará una secuencia de excitaciones a la vez que mide las respuestas del circuito previstas para dichas actuaciones.

En general, la base para todos los test comentados anteriormente reside en la posibilidad de que el sistema de test disponga de puntos de contactos suficientes como para tener acceso a cada uno de los nodos del circuito bajo ensayo.

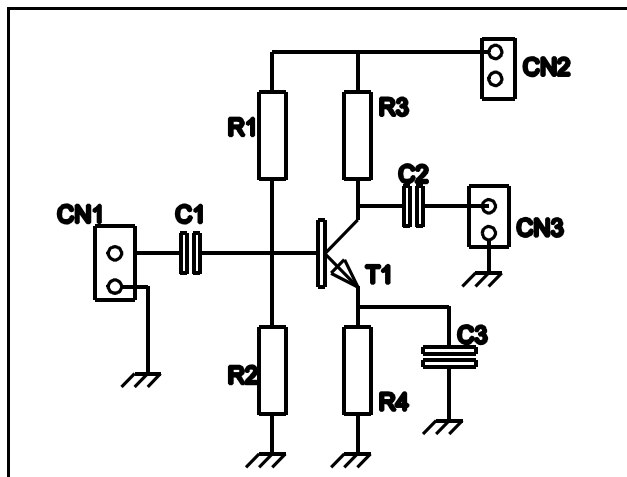


Figura 9: Un simple amplificador.

Como ejemplo citaremos el caso de un sencillo amplificador con un único transistor (figura 9).

Para la fabricación industrial de ese producto se deberá realizar también el diseño de una placa de circuito impreso que albergará los distintos componentes en una distribución adecuada para su colocación posterior en otro equipo o en una caja y que realizará también las interconexiones eléctricas de los componentes entre sí según dicta el propio esquema.

En la figura 10 se puede observar una propuesta de circuito impreso para el esquema de la figura 10, presentando la PCB vista desde el lado de componentes.

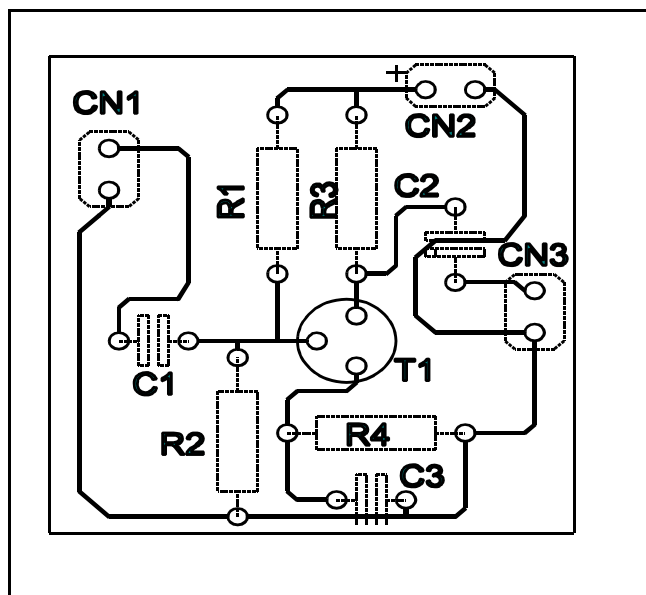


Figura 10: Distribución de componentes y pistas del diseño de la figura anterior.

No es la única solución ni siquiera la presentada es la mejor. El problema de la realización de circuitos impresos es que además de aportar las dos soluciones básicas de soporte e interconexión de componentes, también deberá verificar otros requisitos de calidad. Deberá prestarse a un test de la forma más sencilla posible.

Deberá ser de área reducida para disminuir los costes, tener zonas de cobre amplias en las pistas que transportan mayor corriente o soportan mayor disipación de calor, deberá tener en cuenta las reglamentaciones de tipo EMC (Compatibilidad Electromagnética) en lo referente a la radiación de espúreos y así una larga lista más de condiciones

La siguiente figura ilustra ya el montaje físico de la PCB con sus componentes. Evidentemente cada elemento integrante del circuito adopta una posición espacial dentro de la

PCB. Como la fabricación es automática, se necesitan un par de taladros de referencia en dos esquinas opuestas de la PCI que valdrán posteriormente como referencias de posición para el resto del taladrado de los pines de los componentes como de la inserción automática de los mismos. Es también posible aprovechar estas mismas referencias para la realización del test en lo que se denomina "*Cama de Pinchos*".

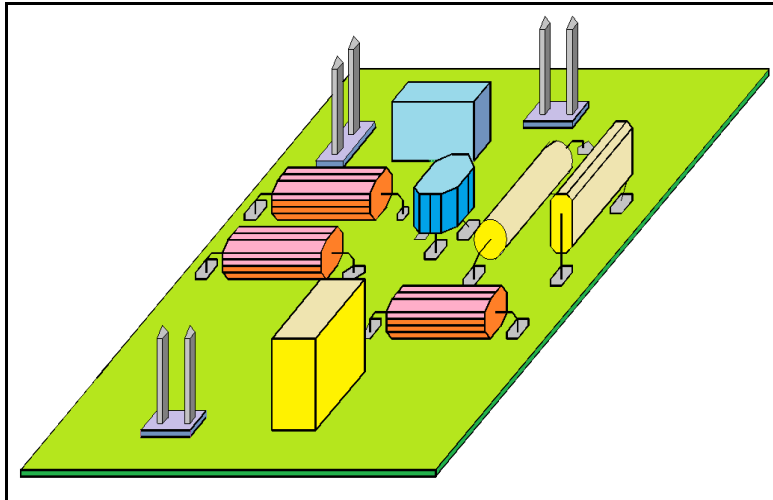


Figura 11:: Dibujo de la PCB montada correspondiente a las figuras anteriores.

La cama de pinchos se caracteriza por un sistema soporte de la PCB donde bajo cada nodo del circuito pueden presentarse unos conectores, denominados "pinchos o agujas" que toman contacto sobre el propio pin cortado y soldado del componente (figura 12).

Dado que en cualquier circuito puede haber mas de un componente conectado a un nodo (por ejemplo, en el caso que nos ocupa C1, R1, R2 y T1 tienen un punto común) la ubicación de pinchos se realizará

de forma que su distribución sea lo más homogénea posible a fin de evitar concentraciones localizadas de presión por muchos pinchos en un área reducido de la tarjeta.

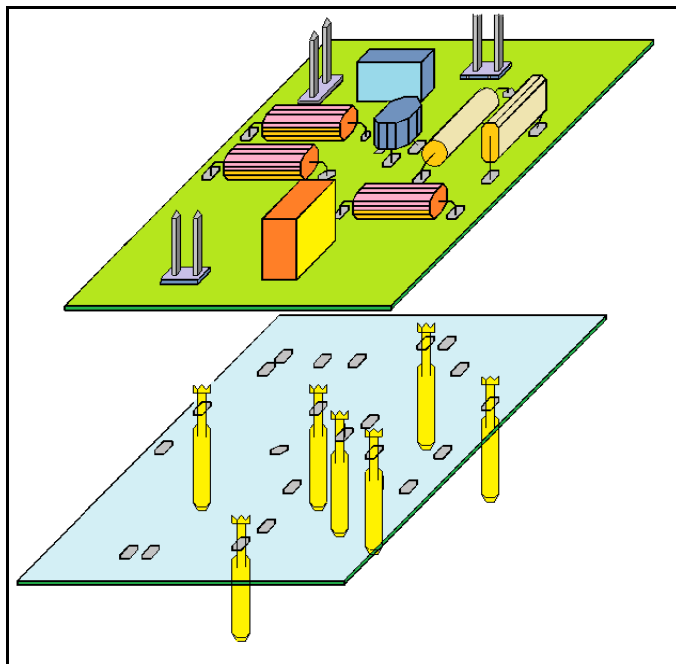


Figura 12: Cama de pinchos para el diseño del ejemplo anterior.

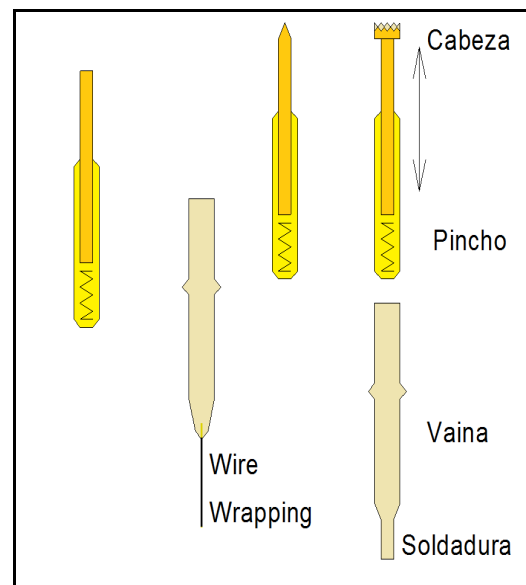


Figura 13: Distintos tipos de pinchos y su vaina.

Cada pincho se compone de una cabeza de forma variada según el tipo de punto sobre el que se pretenda tomar contacto (componentes, pista de circuito, conector, etc.) y de un vástago que la soporta. Un muelle permite absorber las pequeñas variaciones mecánicas cuando se coloca encima la placa bajo test (figura 13). Normalmente, la PCB se coloca sobre dos pivotes que coinciden en los taladros de referencia antes citados. De esa forma los pinchos, para cualquier placa del mismo modelo, deberán coincidir con los puntos correspondientes a los nodos previstos.

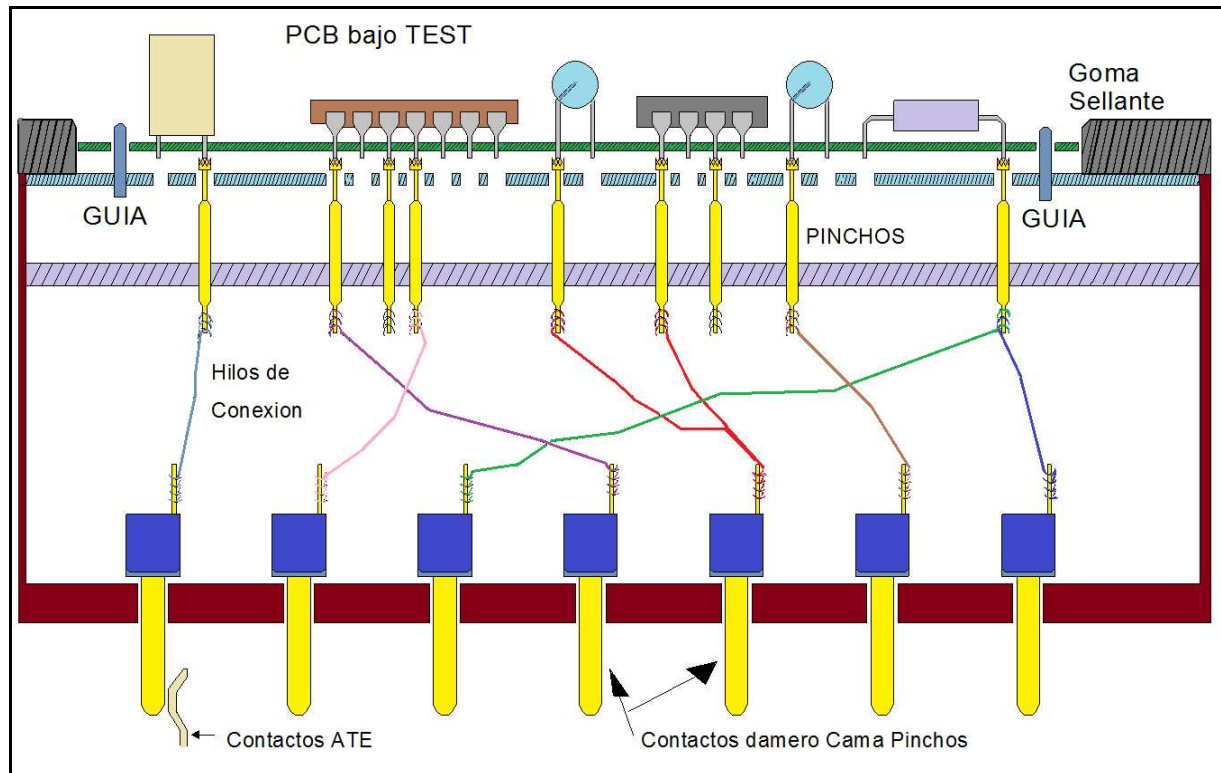


Figura 14: Corte de la sección de la estructura de una cama de pinchos.

Un sistema de vacío genera, a través de una electroválvulas controlada desde el mismo ordenador, el movimiento mecánico necesario para la succión de la tarjeta y presión de esta sobre las agujas de contacto. En sistemas de test de coste reducido puede que la presión se realice manualmente mediante una palanca y un sistema mecánico. El resto es llevar cada uno de los puntos a los sistemas de test adecuados. Es importante ahora decir que dada la complejidad de cualquier placa de circuito impreso por pequeña que sea, no es rentable la utilización de un equipo de medida por cada uno de los componentes existentes en la tarjeta, y se precisa la técnica ya comentada en el test de CI de *Multiplexado*. Se trata de la prueba secuencial de los distintos componentes del circuito haciendo uso de solo unos pocos instrumentos que entran en juego temporalmente para la medida de un cierto elemento. El llevar distintos componentes a un mismo equipo de test se realiza por unas matrices de conmutación (multiplexores) normalmente basadas en relés de tipo Reed para asegurar un buen contacto y poca diafonía con circuitos adyacentes (cross-talk).

Podemos estudiar los tres tipos de test ya anunciado y particularizar con el ejemplo ya visto del amplificador anterior para fijar conceptos.

3.3.1.- Test de Cortos.

Como un buen diseño de cama de pinchos permitirá que el sistema de test tenga control de medida sobre cada nodo del circuito es posible comprobar mediante un circuito milióhmetro la conectividad de cada nodo con el resto de los nodos que conforman el diseño. Basta colocar mediante el multiplexor un nodo fijo a un extremo del óhmetro y el otro conector del instrumento realizará un barrido de forma automática llevando cada uno de los otros nodos para realizar la medida. Es posible que existan cortos verdaderos como la existencia de interruptores sobre la propia PCB o los inductores de poco valor. En ese caso se recurre a "aprender" un test de cortos de una PCI patrón (considerada buena o modelo) y comparar ese test aprendido con el resultado de cada una de las futuras placas chequeadas. Cualquier discordancia entre ambos test debe ser motivo de aviso para subsanar la anomalía.

3.3.2.- Test Incircuit.

Este test, aprovechando de nuevo que son accesibles todos los nodos del circuito, pretende la comprobación de los valores característicos de los componentes pasivos montados y soldados sobre la PCB. Los componentes fácilmente soportados mediante esta técnica son resistencias, condensadores, inductores, diodos y diodos zener, transistores PNP y NPN y transistores mosfets.

Aun sin entrar en detalle de los circuitos que son capaces de medir en esta situación podemos adelantar que no se trata de un simple óhmetro, inductámetro o capacímetro. Evidentemente, el problema de la medición de componentes ya soldados es la interferencia que producen otros nodos del circuito. En el caso ya analizado del esquema ejemplo de la figura 9, podemos ver que la medida de la resistencia de emisor R4 afectará la medida de la capacidad C3. Por otro lado la medida de la unión base-emisor del transistor estará también afectada por el paso de corriente a través de la unión de resistores R2 y R4. Se precisan así de técnicas especiales, sobre todo, una basada en lo que se llama "guarda", un tercer hilo para la medida que se coloca en puntos donde se desea tomar una referencia de tensión nula. En el caso de la medida de la unión B-E del transistor, la colocación de una guarda en el punto común entre R2 y R4 haría posible la medida de la misma.

3.3.3.- Test Funcional.

La prueba del resto de los componentes puede hacerse mediante el "test funcional" o de operatividad de la tarjeta. Es preciso tener la idea clara de que en este test no se pretende una prueba que verifique desde el exterior que todo el conjunto funciona y cumple que los parámetros de calidad están dentro de márgenes, sino que se realiza para determinar malfuncionamientos de dispositivos integrados o bloques de circuito imposibles de tratar mediante la técnica "incircuit" y donde algunas de sus funciones pudiesen no cumplir la actuación prevista.

Es cierto que siempre es posible realizar el test "por conector" y ejecutar una secuencia de operaciones que indaguen si el dispositivo funciona correctamente como equipo. En el caso del amplificador anterior ya citado varias veces como ejemplo la prueba funcional externa o por conector consistirá en la alimentación de la tarjeta por el conector adecuado manualmente o por cama de pinchos) y la excitación de la entrada a la vez de la medición de la respuesta en la salida. Este método verificará el funcionamiento de la PCI completa, pero no será capaz de determinar cual de los componentes no funciona correctamente o cual lo hace de forma adecuada según las características previstas para dicho componente.

El test funcional con cama de pincho permite la excitación individual de circuitos integrados o módulos dentro del diseño de forma individual y particularizada con la topología a la que se le ha sometido en la tarjeta bajo test. Es así posible determinar que una cadena de componentes va bien, y en caso de no hacerlo, cual de los componentes es el que falla.

Igualmente que los casos ya estudiados de híbridos y circuitos integrados, el test ahora puede también ser digital, analógico o mixto. Tanto en un caso como en otro es necesario la planificación de una secuencia de test que permita obtener en el menor tiempo posible una conclusión respecto del funcionamiento de un grupo de componentes enlazados por la propia interconexión de las pistas de la PCB. Las estrategias dependerán de la experiencia del programador y de la configuración del circuito, pero básicamente consiste en buscar puntos donde se pueda inyectar señal de entrada (analógica o digital) como son los conectores de entrada o los zócalos previstos para montar circuitos integrados que en la fase de test aun no están colocados y dejan así ese punto al aire. A partir de aquí, una secuencia de actuaciones deberá ser capaz de mover puntos de salida para verificar la respuesta.

Hay que tener siempre presente que las posibilidades de este tipo de test radica en que mediante el sistema de multiplexado de los pinchos es posible llevar cualquier nodo del circuito a cualquiera de las puntas de prueba de los instrumentos de medida que componen el sistema de test (frecuencímetros, voltímetros electrónicos, generadores de señal, generadores de estímulos digitales, etc., etc.).

Por otro lado los equipos con capacidad de test funcional disponen de fuentes programables para la alimentación del equipo durante la fase de ensayo. Así la secuencia del test funcional arranca en la alimentación del producto, comprobación del mayor número posible de circuitos o grupos funcionales y desconexión de la alimentación antes de dar ordenes al operario para la retirada de la tarjeta de la cama de pinchos.

4.- AUMENTO DE LA DENSIDAD EN CIRCUITOS IMPRESOS

Se ha comentado ya como el avance de la tecnología de circuitos electrónicos ha obligado una fabricación de circuitos impresos cada vez con mayor densidad de dispositivos soportados en una menor superficie de tarjeta. Ello se ha resuelto por dos técnicas concurrentes: por un lado el diseño de PCB multicapas, con superficies de conexiones en planos distintos a forma de "sandwich". Por otro lado el uso de componentes integrados de alta escala de integración y encapsulados reducidos del tipo SMD. Ello origina una tecnología de fabricación denominada SMT (surface mout technology o tecnología de montaje superficial)

Sin embargo, ambos avances han supuesto la introducción de nuevas variables en la concepción de proyectos de test. La desaparición de los componentes de inserción ha complicado la construcción de camas de pinchos a la vez que ha requerido más esfuerzo de ingeniería de diseño del circuito impreso.

También, la integración de componentes en chips de gran densidad ha modificado la prueba de componentes discretos (incircuit) que cada vez tienen menor peso dentro del volumen total del test. Ello implica que el test funcional abarca casi el 100% del tiempo de prueba.

Las conclusiones de esas implicaciones son variadas. Tenemos de un lado la dificultad de acceder a cada nodo del circuito, cosa fácil como se estudió para las PCI cargadas de componentes de inserción. Esto obliga a que en la fase de diseño de la PCB de un producto intervengan los ingenieros de test para indicar que puntos del circuito son interesantes y deben ser sacados fuera a modo de "pads de prueba" en la cara inferior, antes llamada la de "soldadura". De esa forma, los pinchos dispuestos en el útil de prueba tomarán contactos con puntos interesantes para el chequeo del circuito.

Aun así, es posible que el método de la inclusión de "pads de test" no consiga que el instrumento no pueda acceder a todos los nodos del circuito por razones de densidad de áreas de cobre en la zona inferior de la PCB. Aun cuando sea posible realizar con todos los puntos de test conseguidos un test funcional mas o menos completo que demuestre la calidad de la tarjeta, lo que si es seguro que no podremos realizar un test de cortos exhaustivo que permita discriminar entre fallos cometidos en el proceso de fabricación de la PCI, o fallos provenientes de malfuncionamientos de los propios dispositivos y componentes.

Todo este tipo de complicaciones ha llevado a dos técnicas distintas para el caso del test de circuitos impresos. Tenemos por una parte la tendencia a eliminar test a costa de mejorar los procesos productivos. Si disponemos de un buen sistema de recepción y control de calidad de material proveniente de proveedores y capacidad de homologación interna de los mismo es seguro obtener mejores resultados de los productos una vez completado el proceso productivo. El estudio de la cadena de fabricación, la optimización de los puntos de soldadura y fundentes de los hornos, manipulación antiestática de circuitos y una concepción inteligente de la PCB para disminuir fallos de tipo climático van a incidir fuertemente en la obtención de productos "sanos". Si partimos de que cualquier test sobre el producto lo va a encarecer y va a limitar la capacidad de producción de la fábrica, podremos ver la calidad de la fabricación va a favorecer directamente al producto y a la vez, va a disminuir los costes de fabricación.

Otro de los métodos utilizados para conseguir el test de PCI complejas ha sido la introducción de la técnica "Boundary-Scan". La idea básica es que los propios componentes de alto nivel de integración poseen funciones internas especializadas para la ayuda del test de todos los componentes del mismo tipo soportados sobre la tarjeta. Esto exige que los circuitos integrados además de la función electrónica para la que han sido desarrollados poseen una circuitería adicional que entra en función únicamente en la fase de test, permaneciendo en el resto de los casos inhibida.

5.- Técnica de test BOUNDARY - SCAN

La previsión de dificultades en el test de circuitos impresos de gran densidad y tecnología SMT hizo que los principales fabricantes de componentes y tarjetas realizaran diseños a nivel de sistemas que incluyesen funciones de test en los propios circuitos. Este concepto se bautizó con el término DFT (design for test) o diseño para prueba.

Dado que esta iniciativa era particular de cada fabricante, en el año 1.987 las grandes compañías de componentes como Philips, AT&T, IBM, DEC, Texas Instruments, Hewlett-Packard y otras formasen un Grupo de Acción Conjunta para la Verificación de circuitos (*JTAG*, de Joint Test Action Group), marcándose el objetivo de establecer normas para las diversas necesidades de verificación de los componentes. Los éxitos de este grupo fueron reconocidos por el IEEE que cambia el nombre a "1149.1 Working Group" o grupo de trabajo 1149.1. En 1.990 el borrador final del IEEE 1149.1 fue adoptado como estándar de la industria para la verificación "Boundary-Scan" de circuitos integrados.

En principio la acepción "*Boundary*" hace referencia al límite, al borde, que en este caso es el propio chip, es decir, sus patillas. Por otro lado "*Scan*" hace referencia a rastreo, sondeo. Se trata así de una técnica basada en la búsqueda de anomalías mediante la utilización de señales digitales que exploran las condiciones de las patas de cada componente.

La idea fundamental de la norma es la comprobación de la correcta interconectividad de todos los elementos de la tarjeta (cortos y abiertos). Además, de forma indirecta se comprueba que algún componente está invertido o que falla la alimentación. Otras opciones más complejas de la norma permiten el test individual de un componente siempre que este esté concebido para esta opción por los diseñadores del chip.

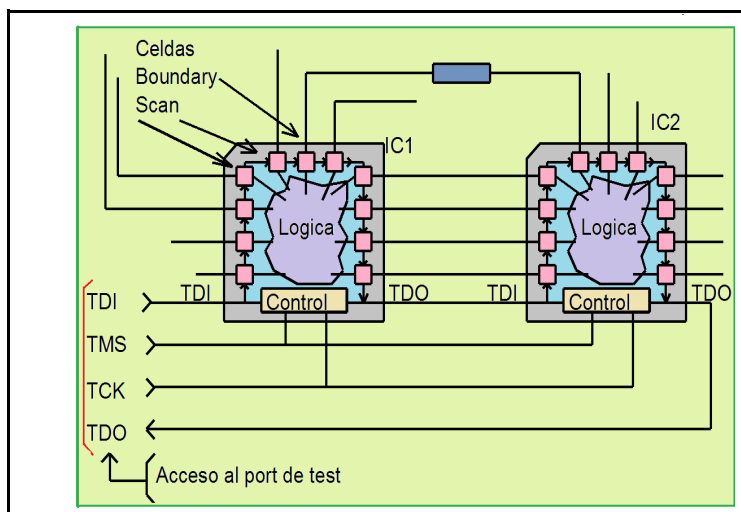


Figura 15: Ilustración del test Boundary-Scan.

Una de las condiciones para realizar un test completo es que todos los componentes que soporta la tarjeta provean test del tipo Boundary-Scan.. Para centrar la idea de como funciona el test nos fijaremos en la figura 15.

Se puede ver el caso de un circuito que monta dos componentes integrados, IC1 e IC2 ambos de tecnología apropiada para este tipo de test.

Los circuitos poseen internamente las funciones lógicas para los que han sido diseñados. La diferencia con un chip normal que no montase la tecnología Boundary-Scan residiría en que los pines de entrada del integrado se conectarán directamente con las funciones lógicas dispuestas en el sustrato para ello. Sin embargo los chips de la figura 15 poseen un circuito a modo de multiplexor (celdas boundary-scan) que en condiciones normales conecta la entrada directamente con las funciones del integrado, pero en la fase de test forman un registro de desplazamiento que memoriza el bit ("0" o "1") correspondiente a lo que llegue por las patillas del encapsulado que se correspondan con entradas y saca hacia fuera por los pines el valor memorizado por esa posición del registro en el caso de pines de salida.

Toda la cadena de flip-flops del registro de desplazamiento de un chip puede conectarse a la entrada de otro integrado de iguales características mediante los pines *TDI* (entrada de datos al chip de la cadena de test) y *TDO* (salida de la cadena de test). El primer *TDI* se conecta a una salida del propio equipo de test que introducirá una cadena de "0" y "1" por todos los registros de desplazamientos incluidos en cada circuito integrado. Igualmente, el último *TDO* será de nuevo leído por el equipo de test para indagar y concluir resultados de la prueba.

La secuencia de datos introducidos por el sistema de test mediante *TDI* se mueva por los pulsos de sincronismo que genera el equipo mediante la señal *TCK*. La idea es combinar las secuencias óptimas tales que "1" y "0" colocados adecuadamente por desplazamientos de la cadena a lo largo de todos los registros de desplazamiento puedan llegar a comprobar que esos valores llegan de forma correcta a través de las pistas a los puntos de entrada de otros circuitos a los que dichas pistas van conectadas, cargándose así a través de esas entradas sobre los propios flip-flops de desplazamiento. Corriendo de nuevo la cadena mediante activaciones sucesivas de la señal *TCK* es posible que el controlador de test lea esos resultados y determina si llegó el "0" o "1" previstos, lo que indicaría que la pista está cerrada y que no existe cortocircuito con pines adyacentes o puntos de la alimentación.

La señal nombrada con *TMS* (Test mode select) puesta a "1" indica al chip que se coloque en modo test. Por contra un "0" le avisa que debe actuar como el circuito para lo que ha sido diseñado.

Evidentemente esta técnica es digital. Por ello su implementación sobre circuitos digitales (ASIC, FPGA, etc..) es relativamente sencilla. Sin embargo no ocurre lo mismo en los casos en los que se trata de circuitos integrados analógicos o mixtos. También puede dificultarse el test para los casos en los que entre pines de circuitos integrados se encuentren componentes de tipo pasivo, como resistores de gran valor y condensadores.

Cada circuito contiene un registro de control general que incluye varias funciones internas, como el *TAP* (test access port), el controlador del *TAP*, registro de instrucciones (*IR*) y un conjunto de registros de datos (*TDRs*). Además cada celda Boundary-Scan (figura 15) está compuesta de cierta circuitería compleja (multiplexores y flip-flops) .

Además existe un conjunto de instrucciones básicas que pueden ser obligatorias según la

norma, unas, u otras optativas según cada fabricante. Dentro de las primeras están, por ejemplo, la instrucción "BYPASS". Este mandato obliga al chip que lo recibe a colocar su *TDI* conexas directamente con su *TDO*, de forma que la cadena de datos serie no le afecta.

Otras instrucciones obligatorias son "*SAMPLE/PRELOAD*" y "*EXTEST*". La primera de ellas permite la carga de datos para probar el propio núcleo lógico interno del chip tratando la entrada a través de la función preparada para el chip y descargándolas sobre los flip-flops de salida. Válida para depuraciones de CI y de PCBs. *Preload* carga valores sobre los *latches* de salida de las celdas *boundary-scan*. Por otro lado, *Extest* es necesaria para la realización del test de intercomunicación entre circuitos de la misma tarjeta.

Comandos no obligatorios son "*INTEST*", "*RNBIST*", "*CLAMP*", "*IDCODE*", "*USERCODE*" o "*HIGHZ*".

6.- BIBLIOGRAFÍA

- H. Bleeker - P. van den Eijnden - F. de Jong. "*Boundary- Scan Test*". Kluwer Academic Publishers, 1.993.
- Kenneth P. Parker. "*The Boundary - Scan Handbook : Analog & Digital*". Kluwer Academic Publishers, 1.998.
- I. Fernández - J.C. Arrien. "*Comprobación de sistemas digitales. Perspectivas futuras*". Mundo Electrónico, Nov. 1.988.
- Dan Romanchick. "*Make the Right Choices for SMT-Board Test*". Test&Measurement World, November 1.994.
- "*Boundary-Scan: una técnica que reduce el tiempo de comprobación y disminuye los costes*". (National semiconductor), Revista Española de Electrónica, Febrero, 1.994.
- C. Almarcha Arias. "*Detección de Soldaduras Abiertas en Circuitos Integrados para Montaje Superficial*". Revista Española de Electrónica, 1.994.
- Franz Rottner. "*High Trooughput Test Yields Zero Defect Codec ICs*". Test&Measurement Europe, Oct-Nov. 1.998.
- Bernard Sutton. "*Look Ahead to the Next Decade of Board Test*". Test & Measurement Europe, November 1.999.
- Tamás Marosvolgyi - Herbert Tietze - Thomas Wenzel. "*Flying Probe and Boundary-Scan Tester Unite*". Test & Measurement Europe. August/September 1.999.
- Steve Brenne. "*Shorting Plate Pinpoints Probe Deficiencies*". Test&Measurement Europe, Feb/March 2000.